

#2
6 Feb 02
R. Tallo

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hiroyuki SEKINE et al.

Serial No. (unknown)

Filed herewith

ACTIVE MATRIX TYPE LIQUID
CRYSTAL DISPLAY DEVICE



**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicants' corresponding patent application filed in Japan on 07 December 2000, under No. 2000-372938.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Robert J. Patch
Attorney for Applicants
Customer No. 000466
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

December 6, 2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 7日

出 願 番 号

Application Number:

特願2000-372938

出 願 人

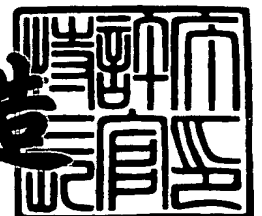
Applicant(s):

日本電気株式会社

2001年 9月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3083249

【書類名】 特許願

【整理番号】 76110377

【提出日】 平成12年12月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/12

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 関根 裕之

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 吉永 一秀

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 奥村 藤男

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プールの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型液晶表示装置

【特許請求の範囲】

【請求項 1】 画素 T F T が基板に掘り込まれた溝の中に配置される構造を有するアクティブマトリクス型液晶表示装置において、T F T の周囲に溝を掘らずに山状に残した部分を有し、T F T の半導体層の下に配置される下部遮光膜が少なくとも前記山状の部分の上までかかるように形成されており、T F T の半導体層上に形成される金属電極層が該山状部分の頂部にまで延在しており、前記下部遮光膜と金属電極層間の層間絶縁膜の膜厚を、前記山状部分の頂部で他の部分に比べて薄くしたことを特徴とする液晶表示装置。

【請求項 2】 前記下部遮光膜と金属電極層間の層間絶縁膜が、下部遮光膜と半導体層間に形成される第 1 層間膜と、半導体層と金属電極層間に形成されるゲート絶縁膜を含み、前記山状部分の頂部において、前記第 1 層間膜の膜厚方向の少なくとも一部がエッチングされていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記山上の部分において、前記第 1 層間膜が除去されて遮光用金属膜を露出させた後、前記第 1 層間膜よりも薄い第 2 層間膜が形成され、その後、ゲート絶縁膜が形成されていることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】 前記山状の部分が、T F T の周りを囲むように形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】 前記山状の部分が、ゲート線と平行な方向に T F T の半導体層が形成される領域が溝状になるように、該領域の両側に形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】 前記 T F T の半導体層の一部が蓄積容量部を構成し、該蓄積容量部の半導体層と下部遮光膜間の層間膜が T F T 部分より薄くされていることを特徴とする請求項 4 又は 5 に記載の液晶表示装置。

【請求項 7】 画素 T F T が基板に掘り込まれた溝の中に配置される構造を有するアクティブマトリクス型液晶表示装置の製造方法であって、透明絶縁性基

板上に下地絶縁膜を成膜する工程、該下地絶縁膜をエッチングし画素TFTの配置される溝を形成する工程、該溝内壁に下部遮光膜を形成する工程、該下部遮光膜を覆って第1層間膜を基板全面に形成する工程、前記溝内に半導体層を形成する工程、該半導体層上にゲート絶縁膜を介して金属電極層を形成する工程を含む製造方法において、前記溝を形成する際にTFTの周囲に溝を掘らずに山状に残した部分を形成し、TFTの半導体層の下に配置される下部遮光膜が少なくとも前記山状の部分の上までかかるように形成され、TFTの半導体層上部に形成される金属電極層が該山状部分の頂部にまで延在しており、前記下部遮光膜と金属電極層間の層間絶縁膜の膜厚が、前記山状部分の頂部で他の部分より薄くなるようにその膜厚方向の少なくとも一部をエッチング除去する工程を有することを特徴とする液晶表示装置。

【請求項8】 前記山状部分の頂部の第1層間膜を下部遮光膜が露出するように除去した後、前記第1層間膜よりも薄い第2層間膜を全面に形成し、該第2層間膜上に半導体層を形成することを特徴とする請求項7に記載の製造方法。

【請求項9】 前記山状の部分を、TFTの周りを囲むように形成することを特徴とする請求項7又は8に記載の製造方法。

【請求項10】 前記山状の部分を、ゲート線と平行な方向にTFTの半導体層が形成される領域が溝状になるように、該領域の両側に形成することを特徴とする請求項7又は8に記載の製造方法。

【請求項11】 前記TFTの半導体層の一部が蓄積容量部を構成し、該蓄積容量部の半導体層と下部遮光膜間の層間膜のうち、第1層間膜の膜厚方向の少なくとも一部をTFT部分より薄くする工程を有することを特徴とする請求項9又は10に記載の製造方法。

【請求項12】 前記蓄積容量部の第1層間膜を薄くする工程は、前記山状部分の頂部のエッチングと同時に行われることを特徴とする請求項11に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶プロジェクターなどの液晶表示装置の画素構造に関し、詳しくは、薄膜トランジスタ（TFT）により液晶のスイッチングを行うライトバルブ用アクティブマトリクス型液晶表示装置の遮光性の改良に関する。また本発明は、該液晶表示装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、壁掛けTVや投射型TV、あるいは、OA機器用ディスプレイとして液晶パネルを用いた各種表示装置の開発が行われている。液晶パネルの中でもアクティブ素子である薄膜トランジスタを液晶表示装置に組み込んだアクティブマトリクス液晶ディスプレイは、走査線数が増加してもコントラストや応答速度が低下しない等の利点から、高品位のOA機器用表示装置やハイビジョン用表示装置を実現する上で有力であり、液晶プロジェクションなどの投射型液晶ディスプレイにおいては、大画面表示が容易に得られる。

【 0 0 0 3 】

通常、液晶プロジェクション用途に使用されるライトバルブ用アクティブマトリクス型液晶表示装置では、小さな素子に強力な光を入射して、TFTにより液晶をスイッチングすることにより画素毎のON/OFFを行って、透過する光を画像情報に応じて制御し、透過した光をレンズなどの光学素子を介してスクリーン上などに拡大投影しているが、その際、TFTの活性層をポリシリコン（p-Si）により形成すると、入射光による影響はもちろんのこと、レンズなどの光学系からの反射光によってもTFTのチャネル部において光励起によるオフ時のリーク電流が発生し、クロストークなど表示品位上の問題を引き起こす原因となっている。

【 0 0 0 4 】

本願出願人は、TFTのチャネル部への光入射を阻止するために、これまで数々の提案を行っている。例えば、特開平9-80476号公報では、TFTの下部、つまり、光源からの光入射の反対側に遮光膜を設け、光学系からの反射光の入射を阻止し、該遮光膜が形成される基板面に粗面を形成しておくことで、遮光膜の形成されていない部分から入射した反射光を基板内で乱反射させてTFTへ

の入射を防止していた。

【0005】

また、特開2000-164875号公報では、基板に凹部を形成し、該凹部内に遮光膜を形成し、更に該遮光膜で蔽われた凹部内にTFTのチャンネル部を形成して、反射光の入射を阻止する構成を提案している。

【0006】

【発明が解決しようとする課題】

図25は、特開2000-164875号公報に基づく液晶表示装置の製造過程における部分平面図(図25(a))と、そのG-G'線での断面図(図25(b))である。

【0007】

同図において、1はガラス基板などの透明絶縁性基板であり、該基板上の下地絶縁膜2の凹部(溝)内壁にはWSiなどにより下部遮光膜4が形成されている。該下部遮光膜4を覆って基板上に第1層間膜5が形成され、前記下部遮光膜4で囲まれた部分にTFTのチャンネル層となるポリシリコンからなる半導体層7、該半導体層7上にゲート絶縁膜8を介してゲート線9が形成されている。該構成によれば、光学系からなどの反射光の入射がかなり阻止され、表示品位を高めることが可能である。また、該構成は、積層膜の重なり合いによる凹凸を低減するにも有効である。

【0008】

しかしながら、下部遮光膜4上に形成される第1層間膜5は、ポリシリコンからなる半導体層7への汚染を防止するため、更には下部遮光膜4としてWSiなどの導電性材料を用いた場合に、下部遮光膜がバックゲートとして作用することを防止するために、その膜厚をかなり大きく取っている。そのため、図示したように下部遮光膜4とゲート線9との隙間からわずかながら光が入射し、この入射した光は第1層間膜5内を乱反射しながら半導体層7に到達して、リーク電流を発生させ、画質を低下させる原因となっていた。

【0009】

従って、本発明の目的は、画素TFTを基板に設けた溝内に配置する構造を有

するアクティブマトリクス型液晶表示装置において、下部遮光膜の端部から入射する光が画素 T F T の半導体層に到達しない構成を提供することにある。

【 0 0 1 0 】

【発明を解決するための手段】

本発明者らは、上記課題に鑑み鋭意検討した結果、前記基板への溝形成に際して画素 T F T の周辺部に溝を掘らない部分を山状に残し、該山の頂部にまで下部遮光膜を延在させると共に、該下部遮光膜上に形成される層間膜を前記山状の部分については薄くしておき、後工程で形成されるゲート線などの金属配線層と下部遮光膜との間隔を狭くすることで、光の進入をより確実に阻止できることを見出し、本発明に到達した。

【 0 0 1 1 】

すなわち本発明は、

(1) 画素 T F T が基板に掘り込まれた溝の中に配置される構造を有するアクティブマトリクス型液晶表示装置において、T F T の周囲に溝を掘らずに山状に残した部分を有し、T F T の半導体層の下に配置される下部遮光膜が少なくとも前記山状の部分の上までかかるように形成されており、T F T の半導体層上に形成される金属電極層が該山状部分の頂部にまで延在しており、前記下部遮光膜と金属電極層間の層間絶縁膜の膜厚を、前記山状部分の頂部で他の部分に比べて薄くしたことを特徴とする液晶表示装置、

【 0 0 1 2 】

(2) 前記下部遮光膜と金属電極層間の層間絶縁膜が、下部遮光膜と半導体層間に形成される第 1 層間膜と、半導体層と金属電極層間に形成されるゲート絶縁膜を含み、前記山状部分の頂部において、前記第 1 層間膜の膜厚方向の少なくとも一部がエッチングされていることを特徴とする (1) に記載の液晶表示装置、

【 0 0 1 3 】

(3) 前記山上の部分において、前記第 1 層間膜が除去されて遮光用金属膜を露出させた後、前記第 1 層間膜よりも薄い第 2 層間膜が形成され、その後、ゲート絶縁膜が形成されていることを特徴とする (2) に記載の液晶表示装置、

【 0 0 1 4 】

(4) 前記山状の部分が、T F Tの周りを囲むように形成されていることを特徴とする(1)乃至(3)のいずれか1項に記載の液晶表示装置、

【0015】

(5) 前記山状の部分が、ゲート線と平行な方向にT F Tの半導体層が形成される領域が溝状になるように、該領域の両側に形成されていることを特徴とする(1)乃至(3)のいずれか1項に記載の液晶表示装置、

【0016】

(6) 前記T F Tの半導体層の一部が蓄積容量部を構成し、該蓄積容量部の半導体層と下部遮光膜間の層間膜がT F T部分より薄くされていることを特徴とする(4)又は(5)に記載の液晶表示装置、
に関する。

【0017】

また、本発明は、

(7) 画素T F Tが基板に掘り込まれた溝の中に配置される構造を有するアクティブマトリクス型液晶表示装置の製造方法であって、透明絶縁性基板上に下地絶縁膜を成膜する工程、該下地絶縁膜をエッチングし画素T F Tの配置される溝を形成する工程、該溝内壁に下部遮光膜を形成する工程、該下部遮光膜を覆って第1層間膜を基板全面に形成する工程、前記溝内に半導体層を形成する工程、該半導体層上にゲート絶縁膜を介して金属電極層を形成する工程を含む製造方法において、前記溝を形成する際にT F Tの周囲に溝を掘らずに山状に残した部分を形成し、T F Tの半導体層の下に配置される下部遮光膜が少なくとも前記山状の部分の上までかかるように形成され、T F Tの半導体層上部に形成される金属電極層が該山状部分の頂部にまで延在しており、前記下部遮光膜と金属電極層間の層間絶縁膜の膜厚が、前記山状部分の頂部で他の部分より薄くなるようにその膜厚方向の少なくとも一部をエッチング除去する工程を有することを特徴とする液晶表示装置、

【0018】

(8) 前記山状部分の頂部の第1層間膜を下部遮光膜が露出するように除去した後、前記第1層間膜よりも薄い第2層間膜を全面に形成し、該第2層間膜上に

半導体層を形成することを特徴とする（７）に記載の製造方法、

【 0 0 1 9 】

（９）前記山状の部分を、ＴＦＴの周りを囲むように形成することを特徴とする（７）又は（８）に記載の製造方法、

【 0 0 2 0 】

（１０）前記山状の部分を、ゲート線と平行な方向にＴＦＴの半導体層が形成される領域が溝状になるように、該領域の両側に形成することを特徴とする（７）又は（８）に記載の製造方法、

【 0 0 2 1 】

（１１）前記ＴＦＴの半導体層の一部が蓄積容量部を構成し、該蓄積容量部の半導体層と下部遮光膜間の層間膜のうち、第１層間膜の膜厚方向の少なくとも一部をＴＦＴ部分より薄くする工程を有することを特徴とする（９）又は（１０）に記載の製造方法、

【 0 0 2 2 】

（１２）前記蓄積容量部の第１層間膜を薄くする工程は、前記山状部分の頂部のエッチングと同時に行われることを特徴とする（１１）に記載の製造方法、に関する。

【 0 0 2 3 】

【発明の実施の形態】

図１は、本発明の第１の実施形態になる液晶表示装置における画素構造の製造過程の一平面図を示す。図２、図３は図１のＡ－Ａ’線及びＢ－Ｂ’線での断面図をそれぞれ示している。ガラスなどの透明絶縁性基板１上に下地絶縁膜２が形成されており、ＴＦＴの半導体層部分を取り囲むように山状部分２ａが残されている。下部遮光膜４は該山状部分２ａを覆って形成されており、該下部遮光膜４上には厚い第１層間膜５が形成され、山状部分２ａに囲まれた部分にＴＦＴのチャネル部が配置されるように第１層間膜５上にポリシリコンからなる半導体層７が形成されている。図３に示すように、半導体層７は、チャネル部７ａ、ＬＤＤ領域７ｂが山状部分２ａに囲まれるように配置されている。更にゲート絶縁膜８を介してゲート線９が配置されている。前記山状部分２ａの頂部では第１層間膜

5は他の部分より薄く形成されており、下部遮光膜4とゲート線9との間隔が狭められている。このため、光学系からなどの反射光は該山の頂部を通過することができず、効果的にTFTのチャネル部への進入が阻止され、リーク電流の発生を防止することができる。なお、10は蓄積容量部の上部電極であり、その一部には後工程で画素電極とのコンタクトが取れるようにコンタクト部16を開口して形成されている。

【0024】

該構成の製造方法について、図4～図10を参照して説明する。

まず、ガラスなどの透明絶縁性基板1上に、下地絶縁膜2を成膜する。下地絶縁膜2はガラスからの不純物を防止する役割も果たしており、後工程でエッチングにより薄くされる部分が100nm以上残るように形成しておくことが望ましい。材料としては不純物拡散防止の観点からSiO₂膜を用いることが望ましい。また、山状部分2aの高さは、後工程で形成される半導体層7が下部遮光膜の膜厚を加えた山状部分の頂部より低くなる高さであればよく、また、後工程での平坦化を考慮した場合には積層される金属層の数によっても変わるため、一概に限定できないが、ここでは、1μm程度残るように形成する。山状部分2aを残すには、図4に示すように、フォトリソグラフィにより山状部分の上にレジスト3を配置し、等方性エッチングにより山状部分を残して下地絶縁膜2をエッチングする。なお、画素表示領域についても同時に残しておくことで後工程での平坦化が容易となる。

【0025】

このようにして山状部分2aを形成した後、下部遮光膜4を成膜する（図5）。下部遮光膜4は、基板側からの反射光を遮光できればどのような材料で形成しても良いが、後工程でポリシリコン形成時に不純物活性化のためなどにアニールするため、熱に強いWSiなどで形成する。WSiで形成する場合、下部遮光膜4の膜厚としては100nm以上であれば遮光効果が得られるが、好ましくは160nm以上とするのが望ましい。膜厚の上限は特に規定されず、適宜設計に応じて選択すればよいが、通常は、500nm程度までとすればよい。ここでは、170nm程度にスパッタ法でWSi膜を形成し、フォトリソ工程により山状部

分 2 a に囲まれた溝部及び山状部分 2 a を覆うようにパターンニングする。

【 0 0 2 6 】

次に、図 6 に示すように全面に SiO_2 膜などからなる第 1 層間膜 5 を成膜する。ここでは、TEOS を原料として PCVD 法を用いて SiO_2 膜を形成した。第 1 層間膜 5 の膜厚はその上に形成するポリシリコンからなる半導体層へ下部遮光膜 4 からの不純物の移動を防止するため、また、下部遮光膜 4 を WSi などの導電性材料で形成した場合にはバックゲートとして作用するのを防止するため、少なくとも 500 nm 以上とするのが望ましい。ここでは 800 nm 程度に形成した。

【 0 0 2 7 】

続いて、図 7 に示すように、山状部分の頂部の第 1 層間膜 5 が露出するようにレジスト 6 をパターン状に配置し、第 1 層間膜 5 の厚さ方向の一部をエッチングする。ここではエッチング時間を調整して、山の頂部で第 1 層間膜 5 が 100 nm 程度残るようにエッチングした。その後、レジストを除去する（図 8）。

【 0 0 2 8 】

前記山状部分に囲まれた溝部の中央付近にポリシリコンからなる半導体層 7 を所望形状に形成する（図 9）。この時、前記図 1 の B-B' 線断面では、前記図 3 に示したように、山状部分 2 a を跨ぐように形成される。更にゲート絶縁膜 8 を 100 nm 程度の膜厚に成膜する（図 10）。ここでは、前記第 1 層間膜と同様に TEOS を原料とする PCVD 法により SiO_2 膜を形成した。これにより、山状部分の頂部での層間膜の膜厚は 200 nm 程度となり、第 1 層間膜 5 とゲート絶縁膜 8 の本来の合計膜厚（900 nm）より薄く形成されることになる。

【 0 0 2 9 】

山状部分の頂部での層間膜の膜厚としては、下部遮光膜とその上に配置される金属電極層とのショートを避けるために、100 nm 以上あることが望ましい。また、上限としては、第 1 層間膜が通常 500 nm 以上に形成されることから、それよりも薄くすることで効果が得られるが、より高い遮光効果を得るためには、300 nm 以下になるように形成することが好ましい。

【 0 0 3 0 】

また、山の頂部の幅はより広くすることで遮光効果が高まるが、あまり広く取ると画素開口率に影響を及ぼすため、通常は、上部に形成されるブラックマトリクスの幅内（現在は $5\mu\text{m}$ 以下）に少なくとも2つの山が収まり、また、半導体層のチャンネル幅（現在は $1\mu\text{m}$ 程度）の側面方向の層間膜についても下部遮光膜との距離を前記のように 500nm 以上取っておくことが好ましいことを勘案すると、山の麓部分の幅の最大値が $1.5\mu\text{m}$ となり、それよりも狭くなる。通常はレジストパターンの幅を $1\mu\text{m}$ 程度とするため、その約半分の 500nm 程度の幅とすればよい。

【0031】

その後、 $n\text{-chTFT}$ 、 $p\text{-chTFT}$ のソース・ドレイン領域の形成及び $n\text{-chTFT}$ のLDD領域を形成するため不純物注入を行う。まず、 n^+ 不純物の注入を行い、続いて、 n^- 不純物の注入を行い、図2に示したように、ゲート線9を WSi などの材料で形成し、その一部はTFTのゲート電極となるように半導体層7のチャンネル部上に引き出して形成し、 p^+ 不純物を注入し、不純物の活性化アニールを行う。更に蓄積容量部の上部電極10を所望形状に成膜形成する。なお、蓄積容量部の上部電極10は、ゲート線9と同材料で同時に形成しても良い。また、蓄積容量部の下部電極として、半導体層7を上部電極10の下に引き出して形成しておくことで、下部電極を別途設ける必要がなくなり、工程数の削減を図ることができる。その場合には、蓄積容量部の半導体層7にも高濃度の不純物を注入して、低抵抗化しておく。

【0032】

その後は、常法に従って、データ線、ブラックマトリクス、ITO画素電極を、順次層間膜を介して形成することでTFT基板が出来上がる。

【0033】

昨今のポリシリコンを半導体層として用いたTFTでは、LPCVD法などの低温法でアモルファスシリコンを成膜した後、レーザーアニールによりポリシリコン化する低温ポリシリコンが主流となりつつある。上記の例では、ポリシリコン層が図1のB-B'断面で山状部分を跨ぐように形成されているため、このような方法でポリシリコンを形成すると、山の斜面の部分でレーザーアニールが不

十分となり、十分な特性のポリシリコンが形成できない場合がある。そこで、レーザーアニールによる低温ポリシリコンの形成を可能ならしめる構成について、次に説明する。

【 0 0 3 4 】

図 1 1 ~ 2 0 は、本発明の第 2 の実施形態になる液晶表示装置の画素構造の製造過程を説明する図である。

【 0 0 3 5 】

まず、上記の例と同様に、ガラスなどの透明絶縁性基板 1 上に SiN などの下地絶縁膜 2 を成膜し、TFT の半導体層が形成される部分を溝状に彫るようにレジストをパターン状に配置する。この時、表示画素領域と TFT 領域との間に下地遮光膜 2 が山状に残る部分 2 a を形成するようにレジストを配置する。なお、図 1 1 (a) は平面図であり、図 1 1 (b) は図 1 1 (a) の C - C' 線での端面図を示している。

【 0 0 3 6 】

レジストを除去後、図 1 2 に示すように、WSi などの材料からなる下部遮光膜 4 を、表示画素領域を除いて全面に成膜する。

【 0 0 3 7 】

続いて、図 1 3 に示すように、第 1 層間膜 5 を所定の厚みに成膜後、山状部分の頂部の第 1 層間膜を露出させるようにレジスト 6 を配し、露出部の第 1 層間膜 5 をエッチング除去する（図 1 4）。上記の例では、第 1 層間膜 5 が薄く残るようにエッチング時間を調整していたが、ここでは、下部遮光膜 4 が露出するまでエッチングしている。レジスト 6 除去後の平面図及びその部分断面図を図 1 5 (a) 及び (b) にそれぞれ示す。

【 0 0 3 8 】

次に、基板全面に 1 0 0 n m 程度の第 2 層間膜 1 1 を前記第 1 層間膜と同様に成膜後、TFT のチャンネル部を構成するポリシリコンからなる半導体層 7 を形成するため、LPCVD 法によりアモルファスシリコン層を成膜した後、更にレーザーアニールを施して、ポリシリコン化する。ここでは、シランを原料としてアモルファスシリコンを成膜し、エキシマレーザーを室温で 4 0 0 m J の強度

で照射してポリシリコン化した。その後、フォトリソグラフィ法により所望形状にパターニングする。ここでは、半導体層 7 のソース部側を延ばして形成し、一部を容量として使用する (図 16 (a)、(b))。

【0039】

次に半導体層 7 を覆って基板上にゲート絶縁膜 8 を成膜し、 $n\text{-chTFT}$ のソース・ドレイン領域を形成するため、まず、 n^+ 不純物の注入を行い、その後、ゲート絶縁膜 8 上にゲート線 9 を成膜する。ここでは、 WSi を用いて成膜した後、フォトリソグラフィにより所望形状にパターニングした。また、ゲート線の一部は半導体層 7 のチャネル領域に掛かるように引き出して形成し、ゲート電極として作用する。続いて、 n^- 不純物の注入を行い $n\text{-chTFT}$ の LDD 領域を形成し、更に $p\text{-chTFT}$ のソース・ドレイン領域を形成するため、 p^+ 不純物の注入を行った後、不純物の活性化アニールを行う。更に容量部の上部電極 10 を所望形状に成膜形成する。この結果、図 17 (a) 及び (b) に示す構造を得る。また、蓄積容量部の半導体層にも n^+ 不純物の注入を行い、低抵抗化しておく。なお、 n^- 不純物の注入はゲート金属形成前に行っても良い。

【0040】

次に図 18 (a) 及び (b) に示すように、例えば、 SiO_2 膜からなる第 3 層間膜 12 を前記同様に成膜後、アルミニウムなどの金属材料からなるデータ線 13 を各 TFT のドレイン (又はソース) 領域へコンタクトをとりながら形成する。

【0041】

次に図 19 (a) 及び (b) に示すように、例えば、 SiN 膜からなる第 4 層間膜 14 を CVD 法により成膜後、画素開口部及び TFT のソース (又はドレイン) 領域へのコンタクト部 16 を開口したブラックマトリクス 15 をアルミニウムなどの金属材料で 400 nm 程度の厚みに形成する。

【0042】

最後に、図 20 (a) 及び (b) に示すように、例えばポリイミドなどの樹脂材料を用いて平坦化膜 17 を 0.5 μm 程度の膜厚に成膜して、基板表面を平坦化した後、画素電極となる ITO 膜 18 をスパッタ法などにより成膜し、TFT

基板が完成する。

【 0 0 4 3 】

更にITO膜18表面にスパッタSiO₂膜を50nm程度成膜してパッシベーション膜とし、その他、端子エッチング、裏面エッチングなどの処理を施し、更に公知の方法により対向基板を貼り合わせ、両基板間に液晶を注入して液晶パネルを形成する。

【 0 0 4 4 】

該構成によれば、半導体層が段差なく形成できるため、レーザーアニールによる低温ポリシリコンを品質良く形成できる。

【 0 0 4 5 】

前記したように、各TFTには隣接して容量部が設けられるが、本発明では、更に高容量の電荷蓄積を可能とする構成を提供することができる。該第3の実施形態になる構成について、図面を参照して説明する。図21は、該構成を説明するための平面図であり、半導体層を形成した段階までを示している。

【 0 0 4 6 】

前記2つの実施形態において、山状部分の上に形成される第1層間膜5を厚さ方向に一部エッチングして薄くする際に、蓄積容量部も同時にエッチングして第1層間膜5を薄くすることで、下部遮光膜と半導体層との間隙を狭く形成する。この結果、半導体層と容量部の上部電極とによって構成される蓄積容量に加えて、下部遮光膜と半導体層によって蓄積容量が形成され、保持できる電荷容量値が増加する。図21のハッチングした部分が第1層間膜を薄くした部分である。

【 0 0 4 7 】

該構成の製造工程について、図21のF-F'線での断面に対応する図22～図24を参照して説明する。ここでは、第2の実施形態に対して蓄積容量部の改良を加えているが、第1の実施形態に対しても同様に適用可能である。

【 0 0 4 8 】

前記と同様に、ガラス基板1上に下地絶縁膜2を成膜後、半導体層の形成される領域を挟むように両側に山状部分を残して溝を形成した後、同様に下部遮光膜4及び第1層間膜5を積層する。続いて、山状部分の第1層間膜5をエッチング

する際に、蓄積容量部では山状部分に挟まれた溝内も同時にエッチングするようにレジスト 6 を形成せずにエッチングを行い、下部遮光膜 4 を露出させる（図 2 2）。

【0 0 4 9】

続いて、前記同様に薄い第 2 層間膜 1 1 を成膜後、半導体層 7 を形成し（図 2 3）、更にゲート絶縁膜 8 を成膜後、一方の山状部分の上に掛かるようにゲート線 9 を他方の山状部分の上に掛かるように上部電極 1 0 を形成する（図 2 4）。前記図 1 7（b）の断面図と比較して、下部遮光膜 4 と半導体層 7 との間の絶縁膜厚みが薄く形成されることで、該部分で蓄積容量として機能し、容量の増大を図ることができる。

【0 0 5 0】

【発明の効果】

本発明によれば、下部遮光膜を、T F T の半導体層が配置される溝を囲むように形成される山状部分の頂部まで該溝部分から延在させ、該山状部分の頂部において、下部遮光膜と T F T の半導体層の上部に形成される金属電極層との間の層間絶縁膜の膜厚を他の部分、特に下部遮光膜と半導体層との間の層間絶縁膜の膜厚よりも薄く形成することで、光学系からの反射光などの基板裏面からの光を十分に遮光することができるため、裏面からの入射光が T F T のチャネル層に到達し、リーク電流を発生させることがなくなり、クロストークなどの表示品位を低下させることがなくなる。

【0 0 5 1】

加えて、蓄積容量部の半導体層と下部遮光膜間の層間膜を薄くして、該部分を蓄積容量として機能させることで、容量増大が図れる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態になる画素構造の平面図である。

【図 2】

図 1 の画素構造の A - A' 線での断面図である。

【図 3】

図 1 の画素構造の B - B' 線での断面図である。

【図 4】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 5】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 6】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 7】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 8】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 9】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 1 0】

図 1 の画素構造の製造工程を説明する工程断面図である。

【図 1 1】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び C-C' 線での断面図 (b) である。

【図 1 2】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び C-C' 線での断面図 (b) である。

【図 1 3】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する断面図である。

【図 1 4】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する断面図である。

【図 1 5】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び C-C' 線での断面図 (b) である。

【図 1 6】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び D-D' 線での断面図 (b) である。

【図 1 7】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び D-D' 線での断面図 (b) である。

【図 1 8】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び E-E' 線での断面図 (b) である。

【図 1 9】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び E-E' 線での断面図 (b) である。

【図 2 0】

本発明の第 2 の実施形態になる画素構造の製造工程を説明する平面図 (a) 及び E-E' 線での断面図 (b) である。

【図 2 1】

本発明の第 3 の実施形態を説明する平面図 (a) 及びその F-F' 線での断面図 (b) である。

【図 2 2】

第 3 の実施形態の製造過程を説明する断面図である。

【図 2 3】

第 3 の実施形態の製造過程を説明する断面図である。

【図 2 4】

第 3 の実施形態の製造過程を説明する断面図である。

【図 2 5】

従来の画素構造を説明する平面図 (a) 及びその G-G' 線での断面図 (b) である。

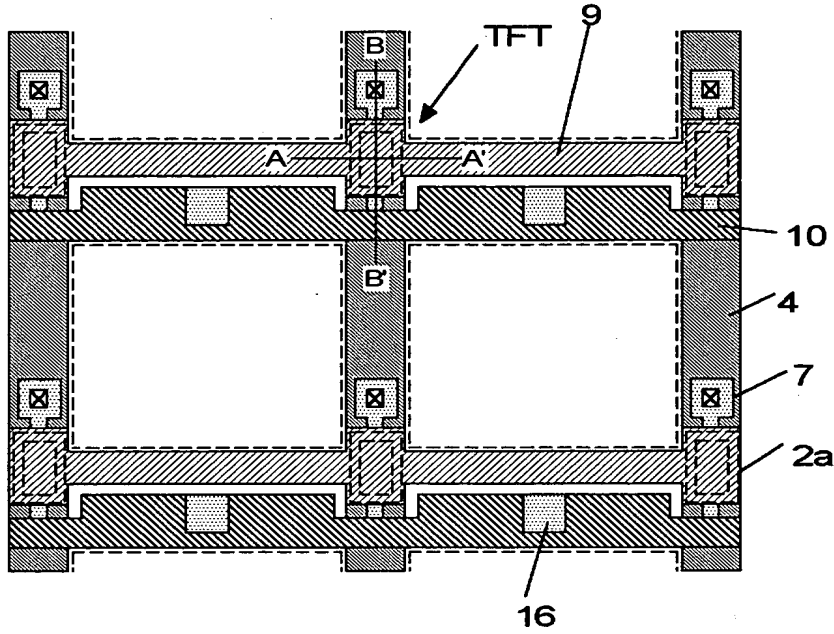
【符号の説明】

- 1 ガラス基板
- 2 下地絶縁膜

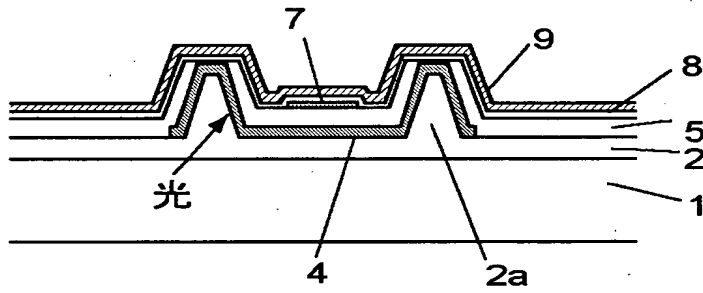
- 2 a 山状部分
- 3, 6 レジスト
- 4 下部遮光膜
- 5 第 1 層間膜
- 7 半導体層 (ポリシリコン)
 - 7 a チャネル部
 - 7 b LDD領域
- 8 ゲート絶縁膜
- 9 ゲート線
- 1 0 容量上部電極
- 1 1 第 2 層間膜
- 1 2 第 3 層間膜
- 1 3 データ線
- 1 4 第 4 層間膜
- 1 5 ブラックマトリクス
- 1 6 コンタクト部
- 1 7 平坦化膜
- 1 8 画素電極 (ITO)

【書類名】 図面

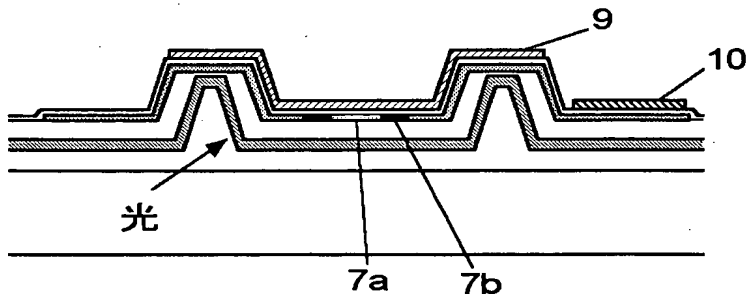
【図 1】



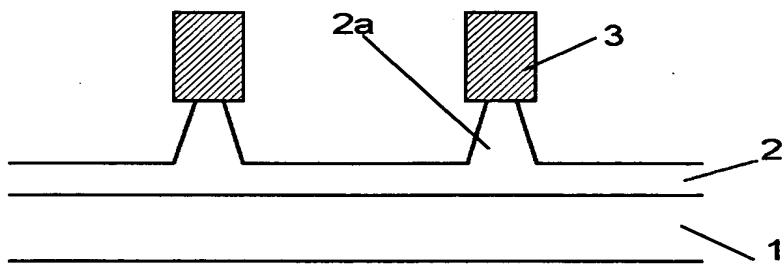
【図 2】



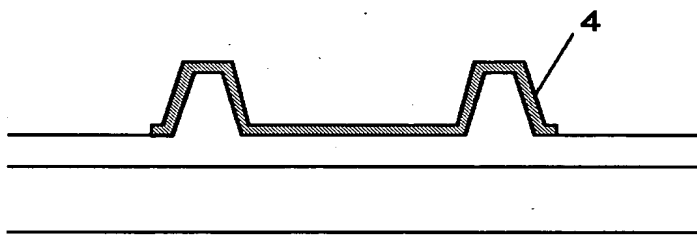
【図 3】



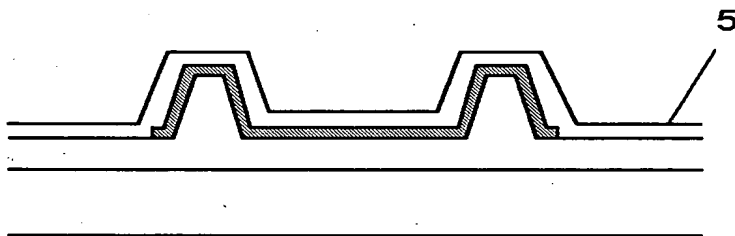
【図 4】



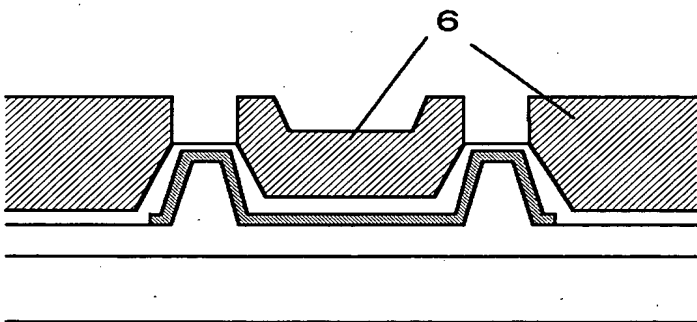
【図 5】



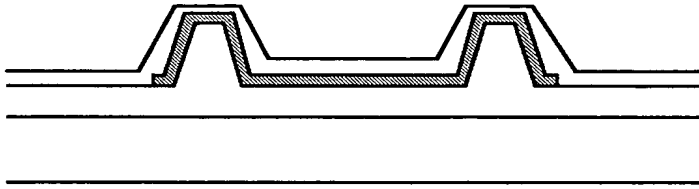
【図 6】



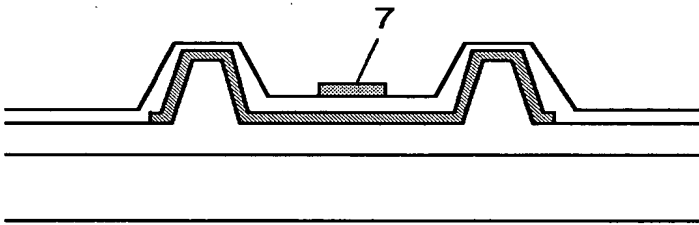
【図 7】



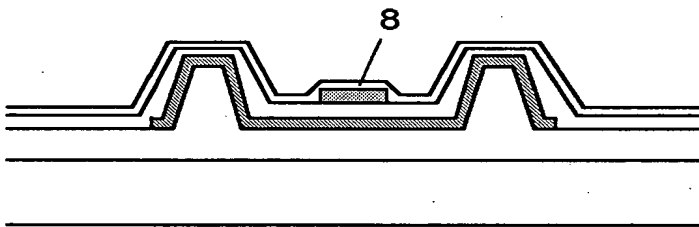
【図 8】



【図 9】

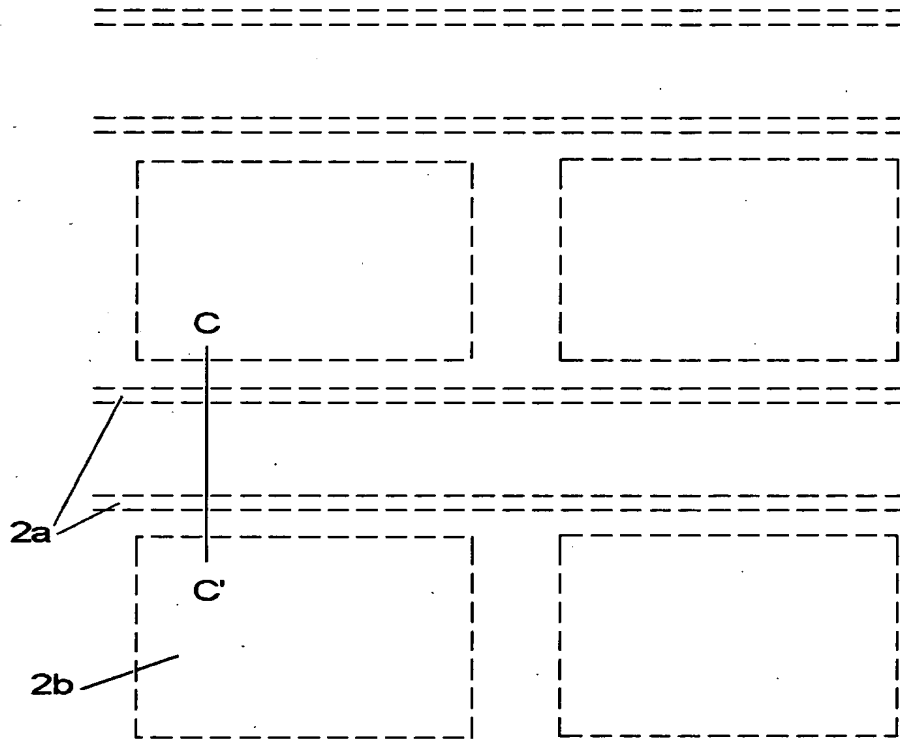


【図 1 0】

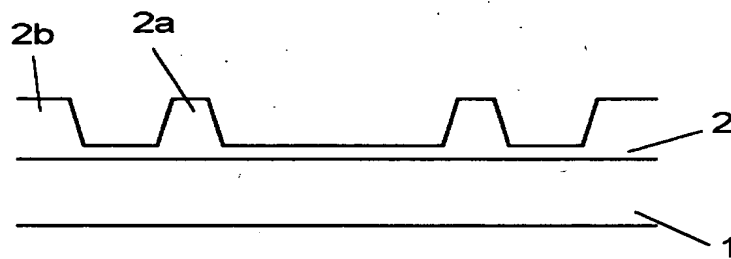


【図 1 1】

(a)

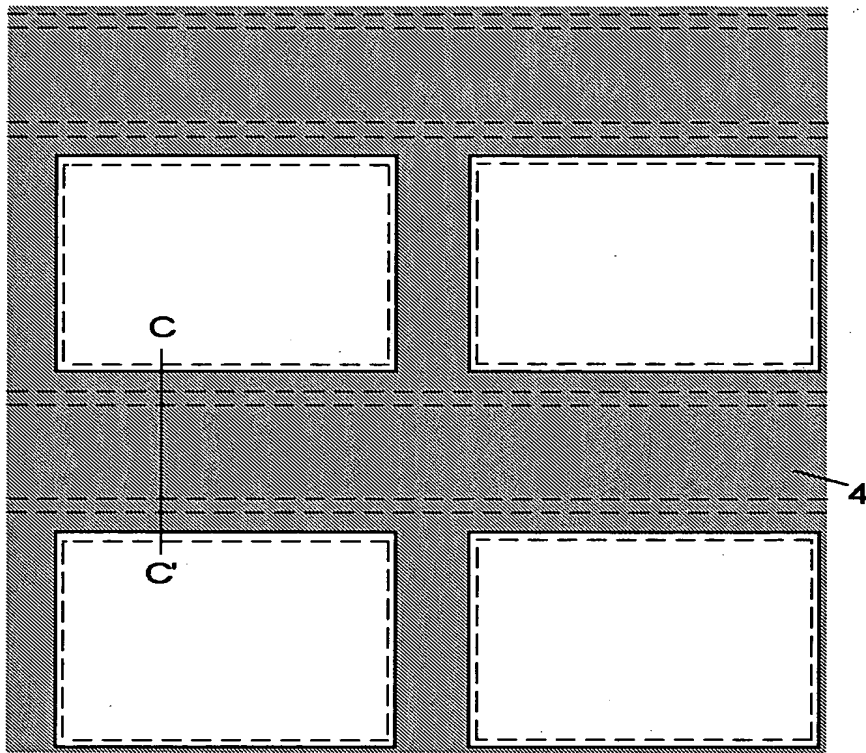


(b)

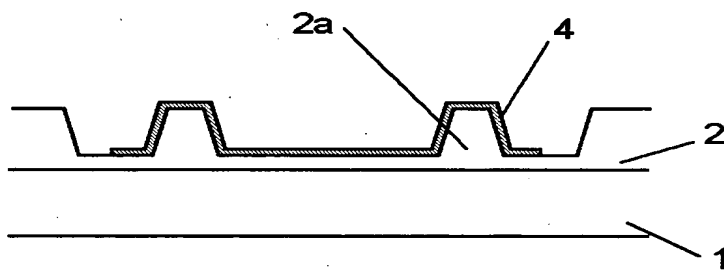


【図 1 2】

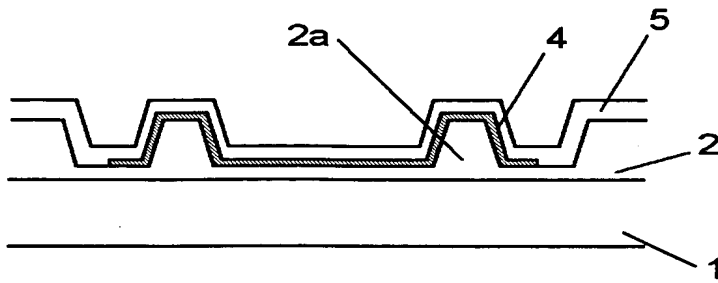
(a)



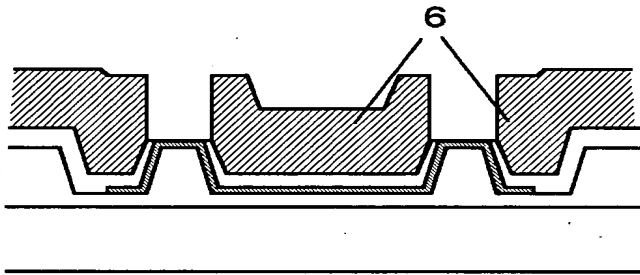
(b)



【図 1 3】

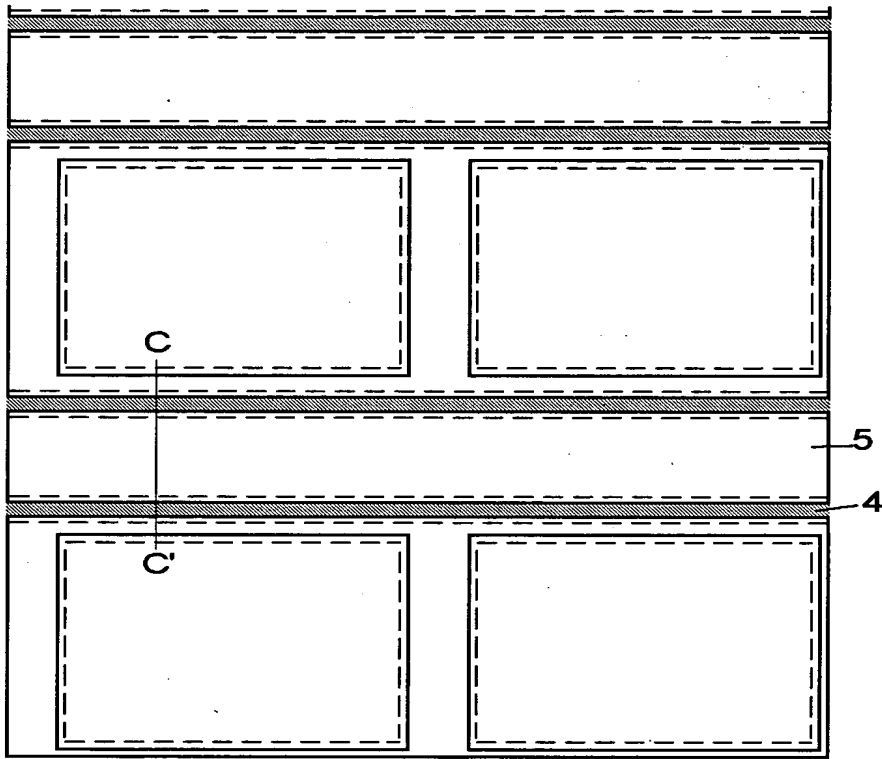


【図 1 4】

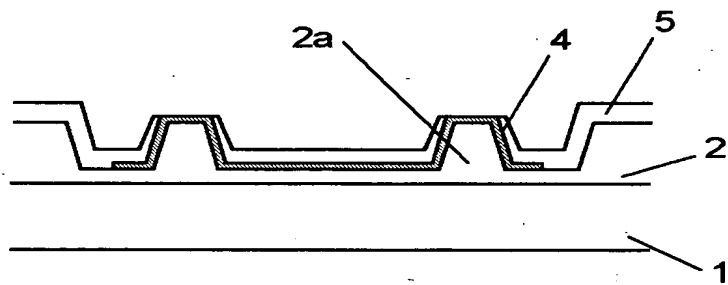


【図 1 5】

(a)

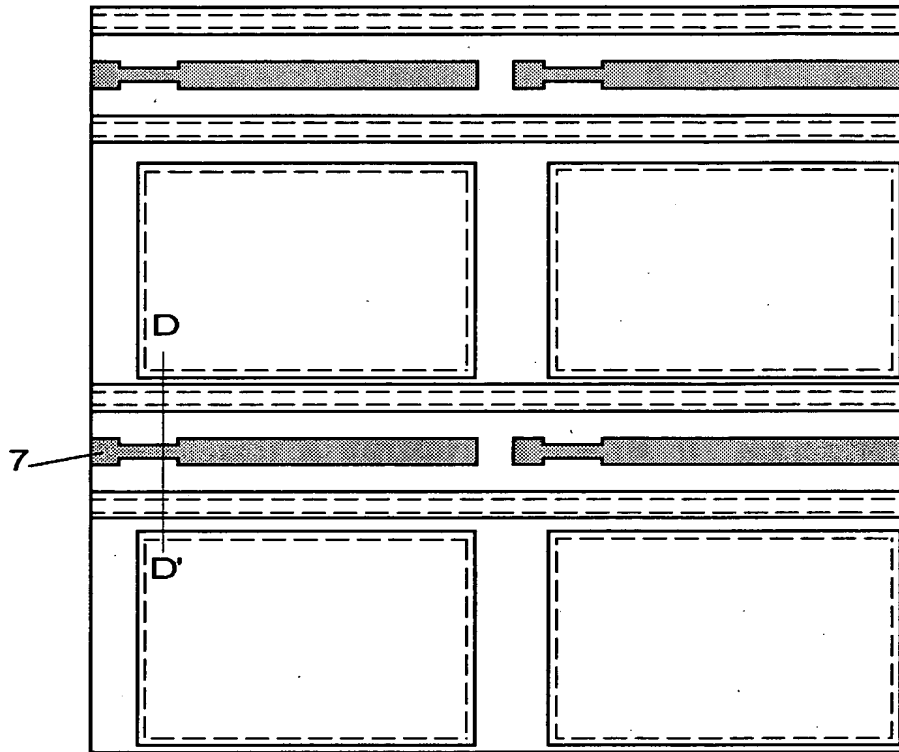


(b)

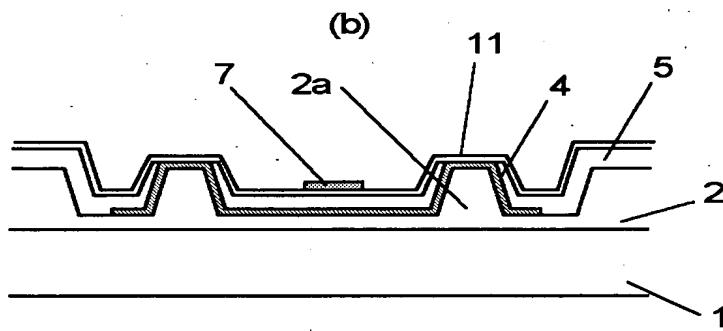


【図 1 6】

(a)

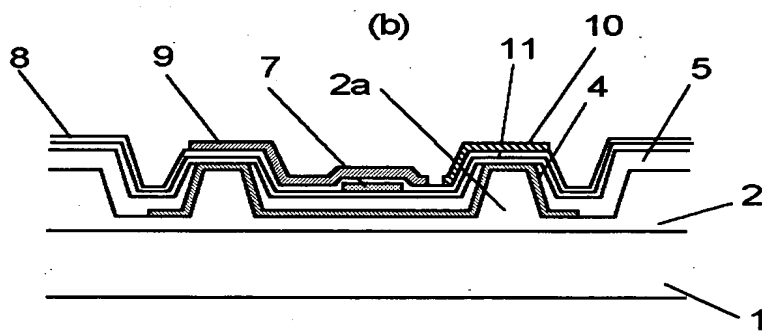
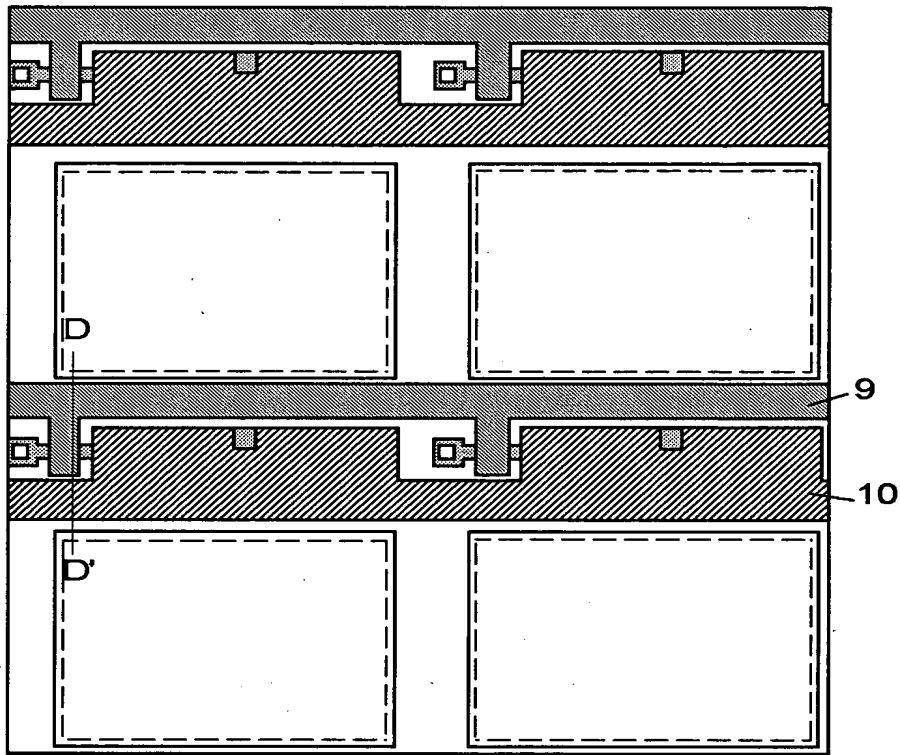


(b)

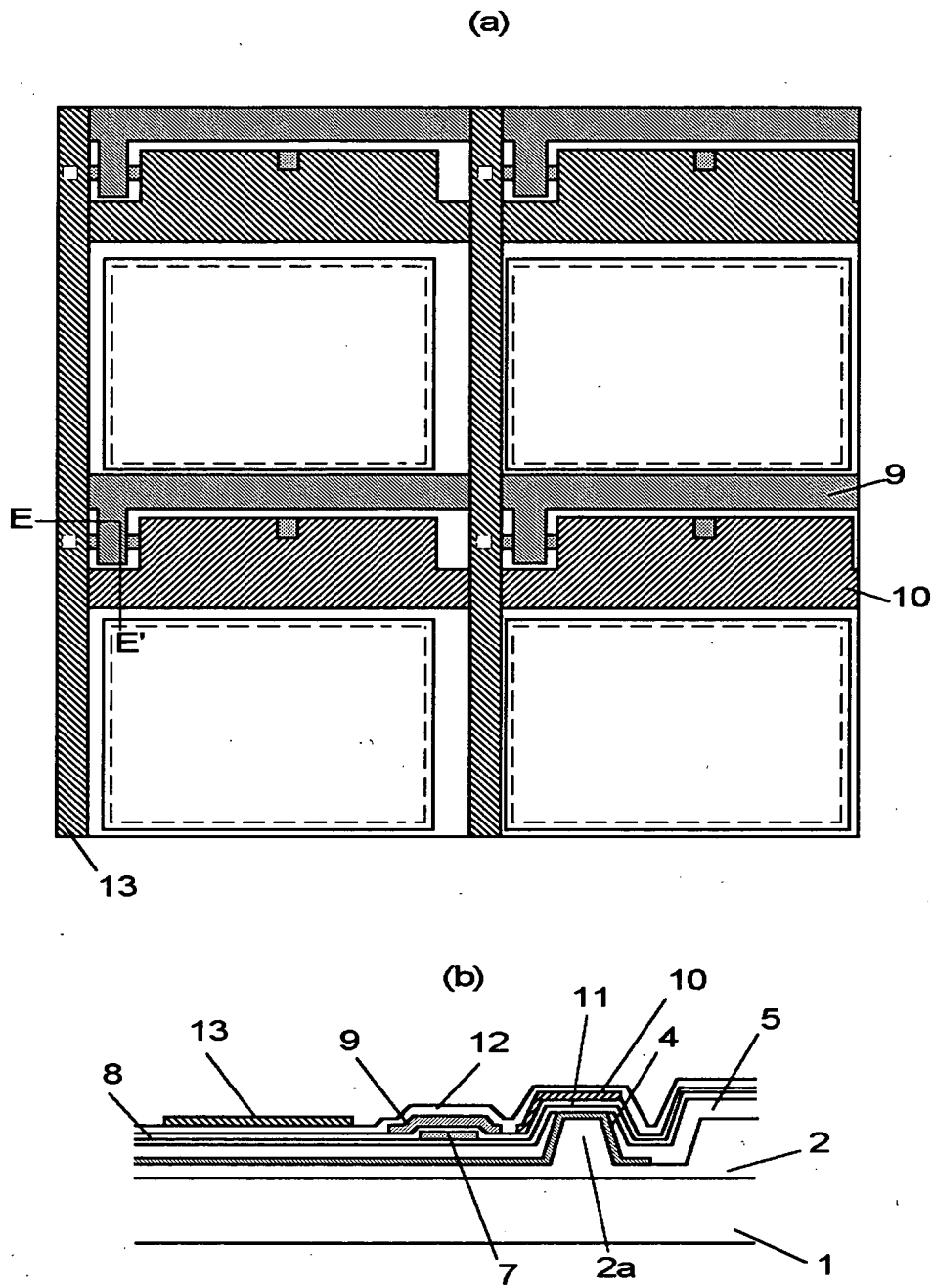


【図 1 7】

(a)

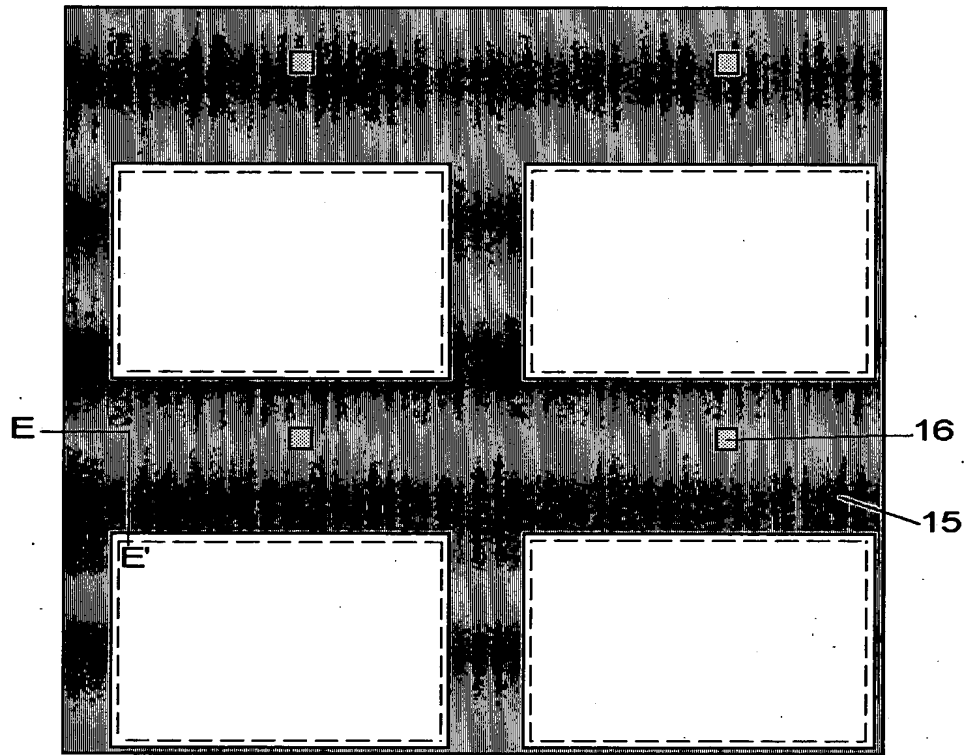


【図 18】

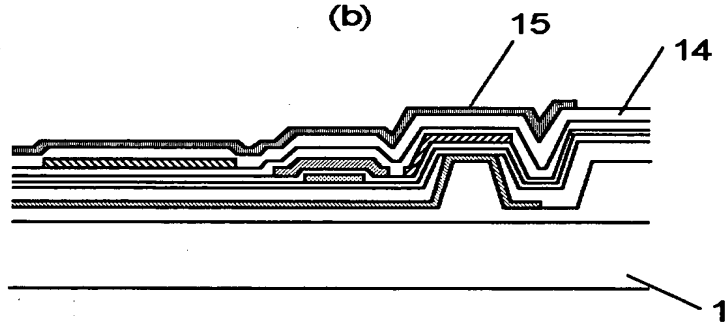


【図 1 9】

(a)

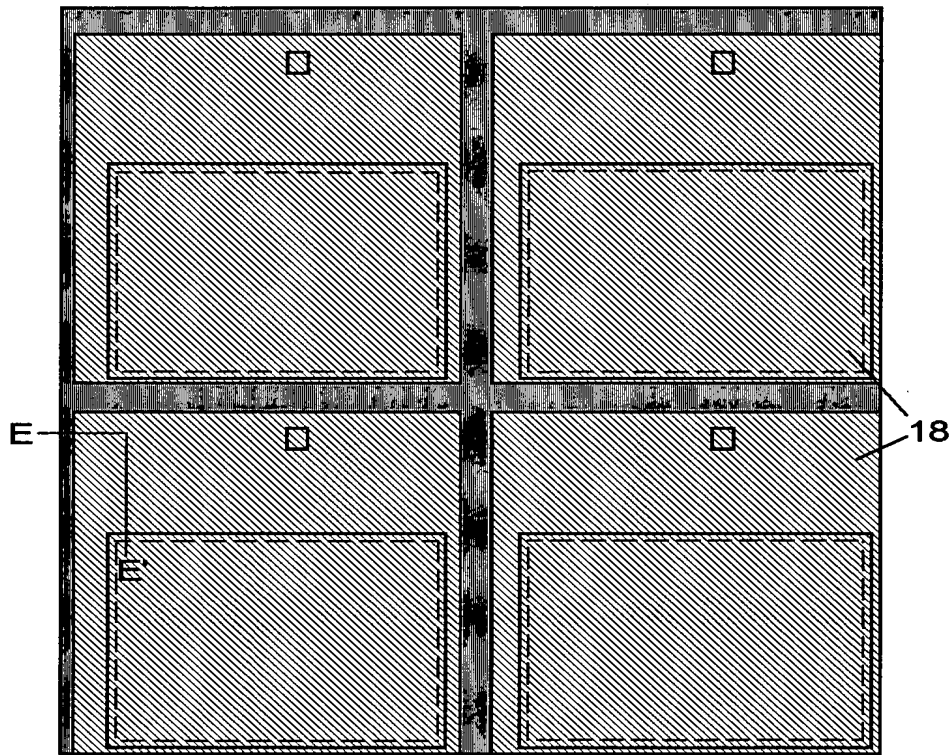


(b)

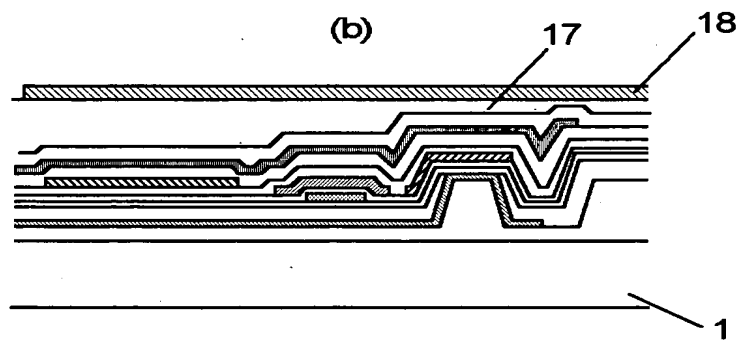


【図 2 0】

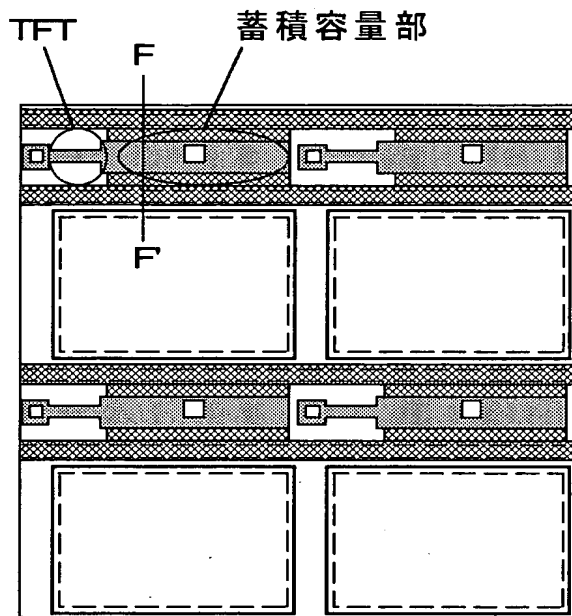
(a)



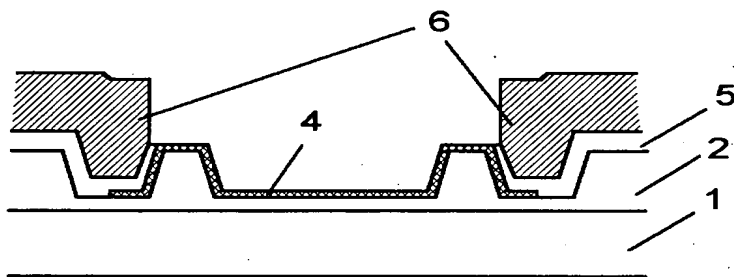
(b)



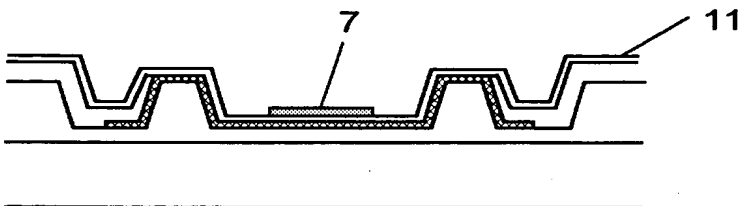
【図 2 1】



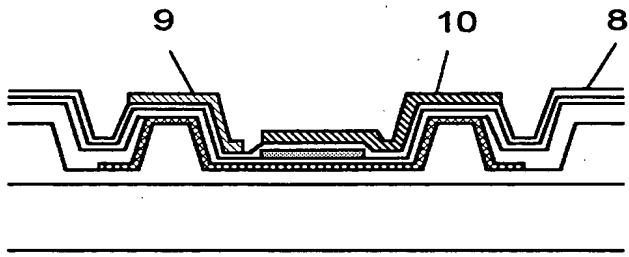
【図 2 2】



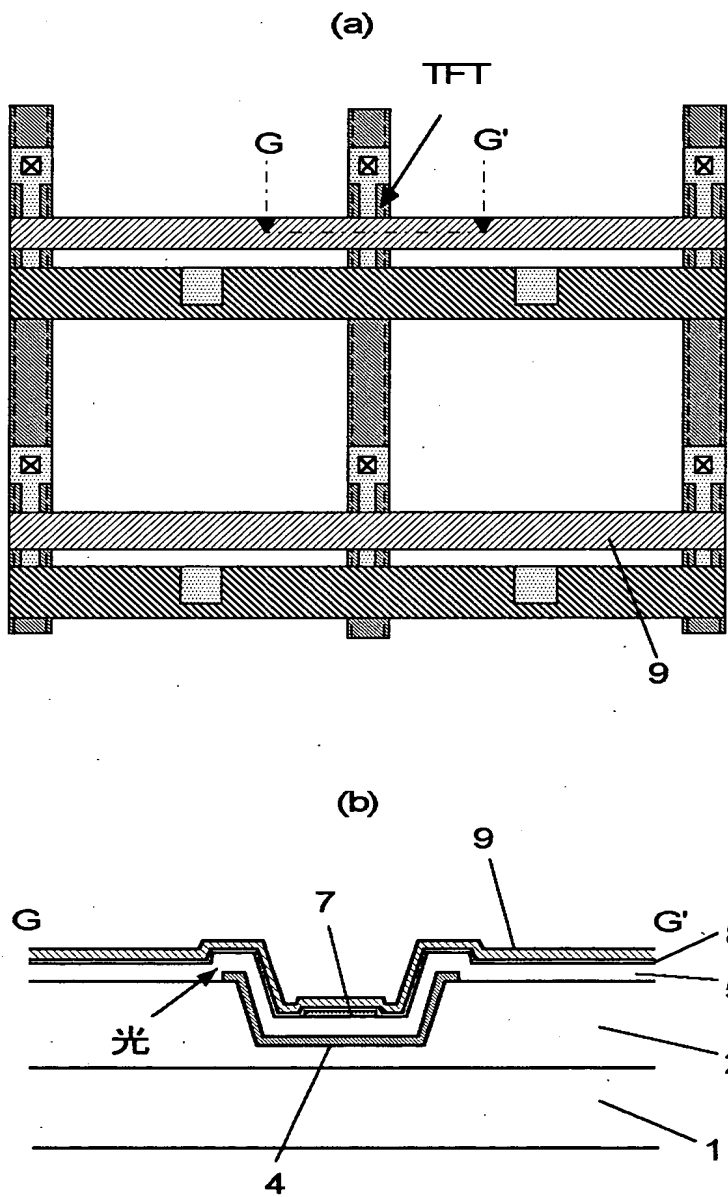
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 T F T基板裏面からT F Tのチャネルへの光の入射を確実に防止する構造を提供する。

【解決手段】 画素T F Tが基板に掘り込まれた溝の中に配置される構造を有するアクティブマトリクス型液晶表示装置において、T F Tの周囲に溝を掘らずに山状に残した部分を有し、T F Tの半導体層7の下に配置される下部遮光膜4が少なくとも前記山状の部分2 aの上までかかるように形成されており、T F Tの半導体層上に形成される金属電極層9が該山状部分2 aの頂部にまで延在しており、前記下部遮光膜4と金属電極層9間の層間絶縁膜（5，8）の膜厚を、前記山状部分の頂部で他の部分に比べて薄くする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社